



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 102 10 904 A 1**

⑤1 Int. Cl.<sup>7</sup>:  
**G 11 C 7/10**

②1 Aktenzeichen: 102 10 904.4  
②2 Anmeldetag: 6. 3. 2002  
④3 Offenlegungstag: 16. 1. 2003

DE 102 10 904 A 1

③0 Unionspriorität:

273890 06. 03. 2001 US  
079097 20. 02. 2002 US

⑦1 Anmelder:

Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

⑦4 Vertreter:

Patentanwälte Ruff, Wilhelm, Beier, Dauster &  
Partner, 70174 Stuttgart

⑦2 Erfinder:

Yoo, Chang-sik, Suwon, KR; Kyung, Kye-hyun,  
Suwon, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

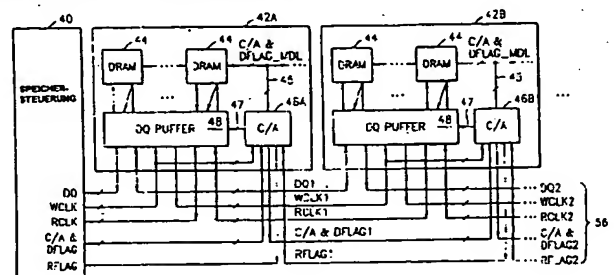
Der Inhalt dieser Schrift weicht von den am Anmeldetag eingereichten Unterlagen ab  
Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Speichermodul, zugehöriges Speichersystem und Taktsignalerzeugungsverfahren

⑤1 Die Erfindung bezieht sich auf ein Speichermodul zur Verwendung in einem Speichersystem mit Punkt-zu-Punkt-Konfiguration, auf ein zugehöriges Speichersystem und ein Taktsignalerzeugungsverfahren.

Erfindungsgemäß beinhaltet eine erste Speichermoduleinheit (42A) ein Speicherbauelement (44) und einen Puffer (46A, 48), der ein erstes Schreibtaktsignal und ein Steuersignal, das einen Lese- oder Schreibbefehl beinhaltet, in einer ersten Übertragungsrichtung empfängt, ein erstes Lesetaktsignal in einer zweiten Übertragungsrichtung empfängt und mit einem ersten und zweiten Datenbus gekoppelt ist. Die erste Speichermoduleinheit erzeugt in Reaktion auf das erste Schreibtaktsignal ein zweites Schreibtaktsignal, eine zweites Lesetaktsignal und/oder ein Speicherschreibtaktsignal und in Abhängigkeit von letzterem gegebenenfalls ein Speicherlesetaktsignal. Die Erzeugung des jeweiligen Taktsignals ist so gewählt, dass für alle Datentransfers zwischen Moduleinheiten unabhängig von der Position der Moduleinheit dieselbe Phasenbeziehung und Propagationsverzögerung für den Lese- bzw. Schreibtakt wie für einen Datenbus erhalten wird.

Verwendung z. B. für Halbleiterspeichersystem mit Stichleitungsarchitektur.



DE 102 10 904 A 1

[0001] Die Erfindung bezieht sich auf ein Speichermodul, auf ein Speichersystem mit einem Speichermodul und auf ein zugehöriges Taktsignalerzeugungsverfahren.

[0002] Speichersysteme sind häufig in einer Stichleitungsarchitektur ausgelegt. In einer solchen Architektur sind Speichermodule in Stichleitungsform parallel entlang eines gemeinsamen Datenbusses, Steuer-/Adressbusses und Taktbusses angeordnet. Um die Datenübertragungsrate in einem Speichersystem mit einer Stichleitungsbusarchitektur zu steigern, ist eine sorgfältige Steuerung der Signalintegrität erforderlich. Die Signalintegrität wird ihrerseits durch die Stichleitungslast beeinflusst. Eine Stichleitungslast verhält sich auf einer Übertragungsleitung als ein diskontinuierlicher Punkt, was in einer Signalreflexion resultiert. Signalreflexion aufgrund der Stichleitungslast beeinträchtigt die Signalintegrität, was die gesamte Datenübertragungsrate des Systems begrenzt.

[0003] Es wurden bereits Versuche unternommen, den störenden Einfluß einer Stichleitungslast dadurch zu unterdrücken, dass der Stichleitungsbus gemäß einer Architektur vom Typ einer "Stub-Series-Terminated"-Logik (SSTL) konfiguriert wird. Diese Konfiguration hat jedoch eine grundsätzliche Grenze für die Erhöhung der Datenübertragungsrate, da die Last weiterhin in der Konfiguration enthalten ist, wenngleich die nachteiligen Effekte der Stichleitungslast abgeschwächt werden.

[0004] Um die bei der Stichleitungsbusarchitektur angeordneten Beschränkungen zu überwinden, wurde eine "Short-Loop-Through" (SLT)-Struktur vorgeschlagen. In der SLT-Busstruktur sind Systemkomponenten in Reihe auf einer Signalleitung angeordnet. Im Fall eines Speichermoduls erstreckt sich beispielsweise die Signalleitung entlang der Hauptplatine über einen Modulverbinder zu einer ersten Seite des Moduls und dort zu einer gewünschten Komponente auf dem Modul. Die Signalleitung geht dann über den Modulkörper zu einer zweiten Komponente auf einer zweiten Seite des Moduls weiter und kehrt über eine zweite Kopplung auf dem Modulverbinder zur Hauptplatine zurück. Vom ersten Modulverbinder erstreckt sich die Signalleitung auf der Hauptplatine zu einem zweiten Modulverbinder, zum zweiten Modul usw. Daher gibt es in der SLT-Busstruktur keine diskontinuierlichen Punkte aufgrund von Stichleitungslasten, so dass die Signalintegrität gesteigert wird und die Datenübertragungsrate daher erhöht werden kann. Da hier jedoch zwei Anschlüsse für jedes Signal benötigt werden, ist die resultierende Anzahl an Modulanschlüssen doppelt so hoch wie bei der Stichleitungsbusstruktur, was die Systemkosten erhöht. Außerdem wächst die Belastung einer Signalleitung mit steigender Anzahl an Modulen, was die maximale betriebsfähige Datenübertragungsrate begrenzt.

[0005] Um die bei der SLT-Busstruktur angetroffenen Beschränkungen anzugehen, wurde eine Punkt-zu-Punkt-Busstruktur vorgeschlagen. Eine solche Struktur wird beispielsweise in Fig. 13 der Patentschrift US 5,742,840 offenbart. In der Punkt-zu-Punkt-Busstruktur wird nur eine einzige Last von einer einzelnen Quelle getrieben, und es existiert kein diskontinuierlicher Punkt, wie eine Stichleitung. Auf diese Weise kann die Datenübertragungsrate beträchtlich gesteigert werden. Mit dem Passieren von Daten von Modul zu Modul ist ein aufwendiges Taktgebungsschema erforderlich, da jeder Datentransfer zwischen Modulen seine eigene Phasenbeziehung haben kann und daher die Phasenbeziehung der Taktsignale in der Leserichtung und der Schreibrichtung abhängig von der Modulposition unterschiedlich sein kann.

[0006] Der Erfindung liegt als technisches Problem die Bereitstellung eines Speichermoduls, eines zugehörigen Speichersystems und eines Taktsignalerzeugungsverfahrens für ein Speichersystem zugrunde, in denen sich die oben genannten Beschränkungen der herkömmlichen Vorgehensweisen auf Basis einer Punkt-zu-Punkt-Busstruktur überwinden lassen.

[0007] Die Erfindung löst dieses Problem durch die Bereitstellung eines Speichermoduls mit den Merkmalen des Anspruchs 1, 10, 15 oder 20, eines Speichersystems mit den Merkmalen des Anspruchs 25 und eines Taktsignalerzeugungsverfahrens mit den Merkmalen des Anspruchs 27, 29, 30 oder 31.

[0008] Gemäß einem Erfindungsaspekt gewährleistet die Erfindung dieselbe Phasenbeziehung für einen Schreibtakt in der Schreibrichtung bezüglich aller Datentransfers zwischen Modulen und in gleicher Weise dieselbe Phasenbeziehung für einen Lesetakt in der Leserichtung bezüglich aller Datentransfers zwischen Modulen, unabhängig von der Modulposition.

[0009] In einem weiteren Erfindungsaspekt werden alle Datentransfers zwischen einem Datenpuffer und einem Speicherbauelement auf einem gegebenen Modul sowohl in der Lese- als auch in der Schreibrichtung durch ein Lesetaktsignal bzw. ein Schreibtaktsignal getaktet, welche dieselbe Phasenbeziehung und dieselbe Propagationsverzögerung wie der Datenbus zwischen dem Puffer und dem Speicherbauelement haben.

[0010] Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0011] Vorteilhafte Ausführungsformen der Erfindung sind in den Zeichnungen dargestellt und werden nachfolgend beschrieben. Hierbei zeigen:

[0012] Fig. 1 ein Blockschalbild eines Punkt-zu-Punkt-Speichersystems,

[0013] Fig. 2 ein Blockschalbild zur Veranschaulichung von Taktsignalen, die in Verbindung mit Daten zwischen einem Datenpuffer und Speicherbauelementen eines Speichermoduls gemäß Fig. 1 unter Verwendung einer bestimmten Taktungstechnik,

[0014] Fig. 3 ein Blockschalbild zur Veranschaulichung der Erzeugung eines Modulleseaktsignals bei einem Speicherbauelement durch Zurückleiten eines empfangenen Modulschreibtaktsignals zur Taktung von zwischen einem Datenpuffer und einem Speicherbauelement übertragenen Daten beim System von Fig. 1,

[0015] Fig. 4 ein Blockschalbild zur Veranschaulichung eines Lesevorgangs, bei dem ein abgegebener Lesetakt in Abhängigkeit von einem zugeführten Schreibtakt erzeugt wird, für das System von Fig. 1,

[0016] Fig. 5 ein Blockschalbild zur Veranschaulichung eines Schreibvorgangs, bei dem ein abgegebener Schreibtakt in Abhängigkeit von einem zugeführten Schreibtakt beim System von Fig. 1 verwendet wird,

[0017] Fig. 6 ein Blockschalbild eines weiteren erfindungsgemäßen Speichersystems, bei dem ein Lesetakt durch einen externen Lesetaktgenerator erzeugt wird,

[0018] Fig. 7 ein Blockschalbild zur Veranschaulichung der Erzeugung eines abgegebenen Lesetaktes in Abhängigkeit von einem zugeführten Lesetakt und der Erzeugung eines abgegebenen Schreibtaktes in Abhängigkeit von einem zugeführten Schreibtakt für das System von Fig. 6,

[0019] Fig. 8 ein Blockschalbild zur Veranschaulichung der Erzeugung eines Modulleseaktsignals durch Kopplung eines Modulschreibtaktes an eine Dummy>Last beim System von Fig. 6 und

[0020] Fig. 9 ein Blockschalbild zur Veranschaulichung der Erzeugung des Modulleseaktaktes durch einen Phasenre-

gelkreis oder Verzögerungsregelkreis in Abhängigkeit vom Modulschreibtakt beim System von Fig. 6.

[0021] Fig. 1 zeigt im Blockdiagramm ein erfindungsgemäßes Speichersystem mit einer Speichersteuerung 40 und mehreren Speichermodulen 42A, 42B. Eine Anzahl von Signalleitungen 56, die z. B. auf einer Hauptplatine angebracht sind, transferieren Signale zwischen der Speichersteuerung 40 und den verschiedenen Modulen 42A, 42B.

[0022] Jedes Speichermodul 42A, 42B umfasst einen Datenpuffer 48, einen Befehls-/Adresspuffer 46 und mehrere Speicherbauelemente 44. Die Speicherbauelemente 44 können beispielsweise aus dynamischen Speicherbauelementen mit wahlfreiem Zugriff (DRAM) bestehen. Der Datenpuffer 48 verwaltet das Puffern von Datensignalen auf einem Datenbus DQ und transferiert die Daten u. a. in Abhängigkeit von einem Schreibtakt WCLK und einem Lesetakt RCLK. Der Befehls-/Adresspuffer 46 verwaltet das Puffern von Befehlssignalen, Adresssignalen und Markiersignalen und steuert den Datenpuffer 48 und die Speicherbauelemente 44 in Abhängigkeit von den Befehls-, Adress- und Markiersignalen. Während eines Schreibvorgangs transferiert der Datenpuffer 48 gepufferte Daten zu den Speicherbauelementen 44. Hingegen empfängt der Datenpuffer 48 während eines Lesevorgangs Daten von den Speicherbauelementen 44. Wenngleich nur zwei Speichermodule 42A, 42B in der exemplarischen Darstellung von Fig. 1 gezeigt sind, versteht es sich, dass in gleicher Weise weitere Speichermodule zum System hinzugefügt sein können.

[0023] In der erfindungsgemäßen Punkt-zu-Punkt-Systemarchitektur ist der Datenbus DQ auf eine unabhängige Leitung von der Speichersteuerung 40 zum Datenpuffer 48 des ersten Speichermoduls 42A gelegt. In gleicher Weise wird das Schreibtaktsignal WCLK von der Speichersteuerung 40 zum Datenpuffer 48 sowie zum Befehls-/Adresspuffer 46 des ersten Speichermoduls 42A auf einer unabhängigen Leitung geführt. Der Lesetakt RCLK wird durch die Speichersteuerung 40 vom Datenpuffer 48 des ersten Speichermoduls 42A auf einer unabhängigen Leitung empfangen. Ebenso werden das Befehls-/Adress(C/A)- und ein DFLAG-Signal auf einer unabhängigen Leitung von der Speichersteuerung 40 zum Befehls-/Adresspuffer 46 des ersten Speichermoduls 42A übertragen, und ein RFLAG-Signal wird durch die Speichersteuerung 40 auf einer unabhängigen Leitung vom Befehls-/Adresspuffer 46 des ersten Speichermoduls 42A empfangen.

[0024] In gleicher Weise werden zwischen dem ersten Speichermodul 42A und dem zweiten Speichermodul 42B auf Signalleitungen DQ1, WCLK1, RCLK1, C/A&DFLAG 1 und RFLAG1 Signale übertragen, die von den Signalleitungen zum Führen von Signalen zwischen der Speichersteuerung 40 und dem ersten Speichermodul 42A unabhängig sind. Ein weiterer Satz von Signalleitungen DQ2, WCLK2, RCLK2, C/A&DFLAG2 und RFLAG2 überträgt Signale zwischen dem zweiten Speichermodul 42B und einem nicht gezeigten dritten Speichermodul usw. Wie oben erläutert, wird in der Punkt-zu-Punkt-Busstruktur nur jeweils eine einzige Last durch eine einzelne Signalquelle getrieben, so dass die Hinzufügung weiterer Speichermodule keine zusätzliche Last auf die Signalleitungen aufbringt.

[0025] Wie oben erläutert, werden Daten zwischen der Speichersteuerung 40 und dem ersten und zweiten Speichermodul 42A, 42B auf dem lokalen, unabhängigen Datenbus DQ ausgetauscht. Der Schreibtakt WCLK wird durch die Speichersteuerung 40 erzeugt und zum Datenpuffer 48 und Befehls-/Adresspuffer 46 des ersten Speichermoduls 42A übertragen, um als Referenz zum Transfer von Daten DQ von der Speichersteuerung 40 zum ersten Speichermodul

42A synchron zur ansteigenden und zur fallenden Flanke des Schreibtaktes WCLK zu dienen. In gleicher Weise werden die Befehls-/Adress(C/A)-Signale von der Speichersteuerung 40 synchron zum Schreibtaktsignal WCLK zum ersten Speichermodul 42A übertragen. Auf diese Weise wird das Schreibtaktsignal WCLK, wie es durch den Datenpuffer 48 empfangen wird, zur Abtastung der Daten verwendet, die auf dem Datenbus DQ durch den Datenpuffer 48 empfangen werden; während dasselbe Schreibtaktsignal WCLK, wie es vom Befehls-/Adresspuffer 46 empfangen wird, zur Abtastung der Befehls-/Adresssignale verwendet wird, die auf dem Befehls-/Adressbus C/A durch den Befehls-/Adresspuffer 46 empfangen werden.

[0026] Auf das Empfangen eines C/A-Signals hin puffert der Befehls-/Adresspuffer des ersten Speichermoduls 42A das empfangene C/A-Signal und überträgt dann das gepufferte C/A-Signal zu den Speicherbauelementen 44 des ersten Speichermoduls 42A, und gleichzeitig überträgt er über ein Signal 45 das C/A-Signal zum Befehls-/Adresspuffer 46 des zweiten Speichermoduls 42B. Der Befehls-/Adresspuffer 46 jedes Moduls 42A, 42B fungiert primär dahingehend, das zugeführte Befehls-Adresssignal zu jedem Speicherbauelement 44, das sich auf dem jeweiligen Modul 42A, 42B befindet, und zum Befehls-/Adresspuffer des benachbarten Moduls zu übertragen und außerdem einen minimalen Grad an Befehls-/Adressdecodierung zur Übertragung eines Decodiersignals 47 auszuführen, das den zugehörigen Datenpuffer 48 auf jedem Modul in der Eingabe/Ausgabe-Richtung der Signale DQ anzeigt. Mit anderen Worten zeigt der Befehls-/Adresspuffer für den Datenpuffer 48 an, ob die ihm vorliegenden Datensignale DQ zu den Speicherbauelementen 44 im lokalen Modul oder zu den Speicherbauelementen 44 in einem anderen Modul des Systems oder zur Speichersteuerung 40 zu übertragen sind.

[0027] In traditionellen Speichersystemen ist es für den Datenbus DQ üblich, mit einer Rate zu arbeiten, die um das Doppelte schneller als diejenige für den Befehls-/Adress(C/A)-Bus ist. Aus diesem Grund werden den Speichermodulen 42A, 42B vor den Daten Steuerbefehle bereitgestellt, so dass die Speicherbauelemente auf dem Modul ausreichend Zeit haben, sich für den Datenlese- oder Datenschreibvorgang vorzubereiten. Die Latenz zwischen dem Befehls- und dem Datensignal wird allgemein als Spaltenadressenabtast(CAS)-Latenz bezeichnet. Wie aus Fig. 1 ersichtlich, stellt ein optionales Datenmarkier(DFLAG)-Signal, das von der Speichersteuerung 40 erzeugt wird, die CAS-Latenzinformation sowohl für die Lese- als auch die Schreibvorgänge den Speichermodulen 42A, 42B zur Verfügung. Die C/A-Puffer 46A, 46B empfangen jeweils das DFLAG-Signal von der Speichersteuerung 40 und geben ein Markiersignal für lokalisierte Daten an jedes Speicherbauelement 44 auf dem Modul 42A, 42B über ein gepuffertes DFLAG\_MDL-Signal 45 ab. Unter Abtasten eines Übergangs im DFLAG-Signal gibt jedes Speicherbauelement 44 auf den Modulen 42A, 42B Lese- oder Schreibdaten auf den Datenbus DQ im Anschluß an ein vorgegebenes Zeitintervall ab. Das DFLAG-Signal wird durch den Befehls-/Adresspuffer 46 synchron zum Schreibtaktsignal WCLK empfangen. Das DFLAG-Signal erfährt dieselbe Propagationsverzögerung wie das WCLK-Signal in der Ausbreitungsrichtung zwischen der Speichersteuerung 40 und den Speichermodulen 42A, 42B.

[0028] Der C/A-Puffer 46 kann optional ein Rückkehrmarkiersignal RFLAG für den Rückkehrpfad in Abhängigkeit vom DFLAG-Signal erzeugen. Das optionale RFLAG-Signal kann in Fällen erforderlich sein, in denen eine Phasendifferenz zwischen dem Lesetakt RCLK, der mit den Lesedaten DQ synchronisiert ist, und dem von der Steuerung

erzeugten DFLAG-Signal auftritt. Wenn es für die Speichersteuerung möglich ist, die Phasendifferenz zu kompensieren, kann das RFLAG-Signal eliminiert werden. Das RFLAG-Signal trägt Zeitsteuerungsinformationen in Bezug darauf, wann Lesedaten DQ, die von den Speicherbauelementen 44 abgegeben werden, an der Speichersteuerung 40 ankommen. Während die Speichersteuerung 40 gültige Daten empfangen kann, die vom Speichermodul 42A synchron zu dem vom Speichermodul 42A übertragenen Lesetakt signal RCLK übertragen werden, ist es für die Speichersteuerung 40 auch möglich, ungültige Daten vom Speichermodul 42A zu empfangen, falls der Zeitunterschied zwischen dem WCLK- und dem RCLK-Signal an der Steuerung größer als ein Taktzyklus sein sollte. Das RFLAG-Signal gewährleistet, dass von der Speichersteuerung 40 jederzeit gültige Daten empfangen werden, so dass die Speichersteuerung 40 die Daten in Reaktion auf das Lesemarkiersignal RFLAG und das Lesetakt signal RCLK empfängt, wie sie vom ersten Modul 42A übertragen werden.

[0029] Dementsprechend erkennt die Speichersteuerung 40 die Ankunftszeit der Lesedaten DQ über das vom C/A-Puffer 46A abgegebene RFLAG-Signal. Das RFLAG-Signal besitzt vorzugsweise dieselbe Propagationsverzögerungszeit wie die Lesedaten signale DQ, da die Leitung, auf der das RFLAG-Signal geführt wird, vorzugsweise so konfiguriert ist, dass sie mit den Rückleitungstakt signalen RCLK und den Datenbussignalen DQ geführt wird und daher dieselbe Propagationsverzögerung wie diese aufweist. [0030] Der Datenpuffer 48 empfängt oder sendet Daten in Abhängigkeit davon, ob ein Schreibvorgang oder ein Lesevorgang auszuführen ist. Im Fall eines Schreibvorgangs empfängt der Datenpuffer 48 Datensignale DQ, die von der Speichersteuerung 40 gesendet werden, synchron mit dem von der Steuerung 40 abgegebenen Schreibtakt signal WCLK. Der Datenpuffer 48 stellt dann fest, ob die Datensignale DQ zu den auf dem lokalen Modul montierten Speicherbauelementen 44 auf der Basis des vom Steuerungs-/Adresspuffer 46 erzeugten Steuer-/Adressdecodiersignal 47 zu senden sind. Bezugnehmend auf Fig. 2 erzeugt der Datenpuffer 48 unter der Annahme, dass Daten in ein Speicherbauelement 44 lokal auf dem Modul 42 zu schreiben sind, einen Modulschreibtakt WCLK\_MDL basierend auf dem zugeführten Schreibtakt signal WCLK\_IN und sendet die Datensignale DQ zu den Speicherbauelementen 44 synchron zum Modulschreibtakt signal WCLK\_MDL. In einer bevorzugten Realisierung wird das Modulschreibtakt signal basierend auf dem zugeführten Schreibtakt signal WCLK\_IN derart erzeugt, dass die beiden Signale zueinander in Phase sind.

[0031] Im Fall eines Datenlesevorgangs empfängt der Datenpuffer 48 Lesedaten DQ synchron zu einem Modullese takt signal RCLK\_MDL, das basierend auf dem Modulschreibtakt signal WCLK\_MDL erzeugt wird, welches von den Speicherbauelementen 44 empfangen wird. Daraufhin gibt, wie aus den Fig. 1 und 2 ersichtlich, der Datenpuffer 48 die gepufferten Lesedaten DQ an die Speichersteuerung 40 synchron zum Lesetakt signal RCLK\_OUT ab, das vom ersten Modul 42A basierend auf dem zugeführten Schreibtakt signal WCLK\_IN erzeugt wird. Alternativ gibt im Fall des zweiten Moduls 42B der Datenpuffer 48 Lesedaten DQ an den Datenpuffer 48 des benachbarten Moduls 42A synchron zu einem abgegebenen Lesetakt RCLK\_OUT ab, der basierend auf dem empfangenen Schreibtakt signal WCLK\_IN generiert wird.

[0032] Fig. 3 veranschaulicht in einem Blockdiagramm die Wechselwirkung der Modullese takt signale RCLK\_MDL und Modulschreibtakt signale WCLK\_MDL, die zum Transferieren von Daten DQ zwischen dem Daten-

puffer 48 und den Speicherbauelementen 44 eines gegebenen Speichermoduls 42A, 42B verwendet werden. Wie oben erläutert, werden Daten aus dem Datenpuffer 48 in das Speicherbauelement 44 synchron zum Modulschreibtakt WCLK\_MDL geschrieben. In gleicher Weise werden Daten aus dem Speicherbauelement 44 für den Datenpuffer 48 synchron zum Modullese takt RCLK\_MDL gelesen. Die Leitung für das Modulschreibtakt signal WCLK\_MDL und die Leitung für das Modullese takt signal RCLK\_MDL sind vorzugsweise mit den Datenbusleitungen DQ auf dem Speichermodul zwischen dem Datenpuffer 48 und dem Speicherbauelement 44 derart geführt, dass die Taktsignale WCLK\_MDL, RCLK\_MDL und die Datensignale DQ dieselbe Propagationsverzögerung erfahren. Auf diese Weise kommen die gesendeten Daten- und Taktsignale gleichzeitig an der Empfangseinheit an, so dass das empfangene Taktsignal zum exakten Takten der Datensignale verwendet werden kann.

[0033] In einer bevorzugten erfindungsgemäßen Realisierung, wie sie in Fig. 3 gezeigt ist, kann die Leitung, auf welcher der Modullese takt RCLK\_MDL übertragen wird, beim Speicherbauelement 44 mit der Leitung gekoppelt sein, auf welcher der Modulschreibtakt WCLK\_MDL übertragen wird. In dieser Weise wird das Modullese takt signal RCLK\_MDL zum Datenpuffer 48 zurückgeleitet, um die von jedem Speicherbauelement 44 abgegebenen Lesedaten DQ abzutasten. Wie in Fig. 2 dargestellt, wird in diesem Ausführungsbeispiel eine Anzahl von Modullese takt signalen RCLK\_MDL von jedem Speicherbauelement 44 in Reaktion auf das jeweilige Modulschreibtakt signal WCLK\_MDL erzeugt.

[0034] In einer alternativen Realisierung, wie sie in Fig. 8 veranschaulicht ist, wird ein einzelnes Modullese takt signal RCLK\_MDL zum Datenpuffer 48 in Reaktion auf mehrere Modulschreibtakt signale WCLK\_MDL zurückgeleitet. Wie aus Fig. 8 zu erkennen, empfängt jedes der vier gezeigten Speicherbauelemente 44 ein zugehöriges Modulschreibtakt signal WCLK\_MDL. Darüber hinaus wird ein fünftes Modulschreibtakt signal WCLK\_MDL erzeugt und mit einer Dummy-Last 52 verknüpft. Die Länge der Leitung des mit der Dummy-Last 52 verknüpften Modulschreibtakt signals WCLK\_MDL ist so konfiguriert, dass sie mit derjenigen der Leitungen für die mit tatsächlichen Speicherbauelementen 44 verknüpften Schreibtakt signale WCLK\_MDL übereinstimmt. Ebenso ist eine Modulschreibtakt leitung RCLK\_MDL mit der Dummy-Last 52 verknüpft und wird zum Datenpuffer 48 zurückgeleitet. Die Länge dieser Leitung des Modullese takt signals RCLK\_MDL ist so konfiguriert, dass sie der Pfadlänge des Datenbusses DQ zwischen den Speicherbauelementen 44 und dem Datenpuffer 48 entspricht. Die Dummy-Last 52 ist vorzugsweise so konfiguriert, dass sie eine Kapazität aufweist, die mit derjenigen des Taktanschlusses eines das Modulschreibtakt signal WCLK\_MDL empfangenden, jeweiligen Speicherbauelements 44 übereinstimmt. Auf diese Weise belastet die Dummy-Last 52 das Signal WCLK\_MDL so, als ob sie ein Speicherbauelement wäre, während die Anzahl an von Datenpuffer 48 benötigten Taktanschlüssen reduziert wird.

[0035] In einer zweiten alternativen Realisierung, wie sie in Fig. 9 dargestellt ist, kann ein einzelnes Modullese takt signal RCLK\_MDL durch einen Phasenregelkreis PLL oder einen Verzögerungsregelkreis DLL in Reaktion auf das Modulschreibtakt signal WCLK\_MDL erzeugt werden. Wie in Fig. 9 gezeigt, empfängt jedes der vier Speicherbauelemente 44 ein zugehöriges Modulschreibtakt signal WCLK\_MDL. Außerdem wird ein fünftes Modulschreibtakt signal WCLK\_MDL erzeugt und in diesem Fall von einem Phasenregelkreis PLL oder Verzögerungsregelkreis DLL 54

empfangen, der ein Modullesetaktssignal RCLK\_MDL in Reaktion auf das empfangene Modulschreibtaktssignal WCLK\_MDL zurückleitet. Phasen- und Verzögerungsregelkreise sind allgemein bekannte Mechanismen, um zu bewirken, dass ein Ausgangssignal so erzeugt wird, dass seine Übergangsflanken zu denjenigen eines Eingangssignals ausgerichtet sind, d. h. in diesem Fall sind die Übergangsflanken des Signals RCLK\_MDL zu denjenigen des Signals WCLK\_MDL ausgerichtet. Im Fall eines Phasenregelkreises PLL wird die Phase eines spannungsgesteuerten Oszillators gesteuert, bis die Taktflanke des abgegebenen Signals RCLK\_MDL zu derjenigen des zugeführten Signals WCLK\_MDL ausgerichtet ist. Im Fall eines Verzögerungsregelkreises DLL wird das zugeführte Signal WCLK\_MDL an eine variable Verzögerungsleitung angelegt, deren Verzögerung gesteuert wird, bis die Taktflanke des abgegebenen Signals RCLK\_MDL zu derjenigen des zugeführten Signals WCLK\_MDL ausgerichtet ist.

[0036] Fig. 4 veranschaulicht im Blockschaltbild einen Lesevorgang, bei dem der abgegebene Lesetakt RCLK\_OUT in Reaktion oder basierend auf den zugeführten Schreibtakt WCLK\_IN erzeugt wird. In diesem Beispiel empfängt das erste Modul 42A einen vorliegend als zugeführter Schreibtakt WCLK\_IN bezeichneten Schreibtakt WCLK, der z. B. von der Speichersteuerung 40 oder einem benachbarten Speichermodul stammt. Das Speichermodul 42A erzeugt seinerseits einen Ausgabeschreibtakt WCLK\_OUT, der zum zweiten Speichermodul 42B übertragen wird. Der abgegebene Schreibtakt WCLK\_OUT wird basierend auf dem zugeführten Schreibtakt WCLK\_IN und in Phase mit diesem erzeugt. Als eine beispielhafte Realisierung der Erzeugung eines abgegebenen Schreibtaktssignals WCLK\_OUT in Phase basierend auf dem zugeführten Schreibtaktssignal WCLK\_IN kann das abgegebene Schreibtaktssignal WCLK\_OUT als das Ausgangssignal eines PLL oder DLL generiert werden, der das zugeführte Schreibtaktssignal WCLK\_IN als Eingangssignal empfängt.

[0037] In gleicher Weise wird durch das erste Speichermodul 42A ein abgegebener Lesetakt RCLK\_OUT in Reaktion auf das zugeführte Schreibtaktssignal WCLK\_IN generiert. Der abgegebene Lesetakt wird zur Speichersteuerung 40 oder zu einem benachbarten Speichermodul zwecks Transfer von Daten DQ in der Leserichtung übertragen. Außerdem wird ein Modulschreibtaktssignal WCLK\_MDL in Reaktion auf das empfangene Eingangsschreibtaktssignal WCLK\_IN erzeugt, wie oben beschrieben, um den internen Datentransfer zwischen dem Datenpuffer 48 und den Speicherbauelementen 44 zu takten. Der Datenpuffer 48 des ersten Speichermoduls 42A empfängt außerdem einen Eingangsslesetakt RCLK\_IN, der durch das zweite Speichermodul 42B erzeugt wird, um die vom zweiten Speichermodul 42B transferierten Lesedaten DQ abzutasten. Dies bedeutet, dass der Datenpuffer 48 des ersten Speichermoduls 42A die vom zweiten Speichermodul 42B transferierten Lesedaten DQ synchron zu dem Eingangsslesetakt RCLK\_IN empfängt, der als Signal RCLK\_OUT vom zweiten Speichermodul 42B erzeugt und abgegeben wird.

[0038] Der abgegebene Schreibtakt WCLK\_OUT des ersten Speichermoduls 42A wird zum zweiten Speichermodul 42B transferiert und von diesem als Eingangsschreibtakt WCLK\_IN empfangen. Das zweite Speichermodul 42B erzeugt einen Ausgangsschreibtakt WCLK\_OUT und einen Ausgangsslesetakt RCLK\_OUT in Reaktion auf das empfangene Eingangsschreibtaktssignal WCLK\_IN in einer entsprechenden Weise wie das erste Speichermodul 42A. In gleicher Weise wird ein interner Modulschreibtakt WCLK\_MDL basierend auf dem zugeführten Schreibtaktssignal WCLK\_IN generiert.

[0039] Bei einem Lesevorgang, wie er in Fig. 4 gezeigt ist, werden Daten in diesem Beispiel vom zweiten Speichermodul 42B zum ersten Speichermodul 42A in einer Richtung von rechts nach links unter Verwendung des Eingangsslesetaktes RCLK\_IN und des Ausgangsslesetaktes RCLK\_OUT für synchronisierten Transfer der Lesedaten DQ übertragen. Beim Lesen von Daten aus dem zweiten Speichermodul 42B für das erste Speichermodul 42A gibt der Datenpuffer 48 des zweiten Speichermoduls 42B die Lesedaten DQ an den Datenpuffer 48 des ersten Speichermoduls 42A synchron zum Ausgangsslesetaktssignal RCLK\_OUT ab. Wie oben erläutert, wird in diesem Beispiel der Ausgangsslesetakt RCLK\_OUT basierend auf dem Eingangsschreibtakt WCLK\_IN generiert, der vom zweiten Speichermodul 42B empfangen wird. Ein Lesevorgang zum Transferieren von Daten in der Leserichtung aus dem ersten Speichermodul 42A für die Speichersteuerung 40 funktioniert in vergleichbarer Weise.

[0040] Da in diesem Beispiel das Ausgangsslesetaktssignal RCLK\_OUT in Reaktion auf den Eingangsschreibtakt WCLK\_IN generiert wird, benötigt das Speichermodul mit der höchsten Ordnungszahl, in diesem Fall das zweite Speichermodul 42B, kein Eingangsslesetaktssignal RCLK\_IN. Es besteht daher in diesem Ausführungsbeispiel eine Notwendigkeit für eine separate Quelle für die Lesetaktssignale RCLK. Alle Schreibtaktssignale WCLK und Lesetaktssignale RCLK werden basierend auf dem Schreibtaktssignal WCLK generiert, das von der Speichersteuerung 40 erzeugt wird.

[0041] Fig. 5 veranschaulicht im Blockschaltbild einen Schreibvorgang, während dem Daten aus dem ersten Speichermodul 42A zum zweiten Speichermodul 42B und/oder von der Speichersteuerung 40 zum ersten Speichermodul 42A in einer Richtung von links nach rechts übertragen werden. Der Datenpuffer 48 des ersten Speichermoduls 42A empfängt Schreibdaten DQ von der Speichersteuerung 40 synchron zum Eingangsschreibtaktssignal WCLK\_IN. Danach stellt der Datenpuffer 48 fest, ob Schreibdaten DQ zu den Speicherbauelementen DRAM 44 auf dem ersten Speichermodul 42A auf der Basis des C/A-Decodiersignals zu übertragen sind, das vom C/A-Puffer des ersten Speichermoduls 42A generiert wird. Wenn die Daten DQ zum zweiten Speichermodul 42B in Abhängigkeit vom C/A-Decodiersignal zu übertragen sind, transferiert der Datenpuffer 48 des ersten Speichermoduls 42A die empfangenen Daten DQ zum Datenpuffer 48 des zweiten Speichermoduls 42B. Das erste Speichermodul 42A erzeugt ein Ausgangsschreibtaktssignal WCLK\_OUT basierend auf dem Eingangsschreibtaktssignal WCLK\_IN, und die Daten DQ vom Datenpuffer 48 werden aus dem ersten Speichermodul 42A zum zweiten Speichermodul 42B synchron zum Ausgangsschreibtaktssignal WCLK\_OUT übertragen, das vom ersten Speichermodul 42A generiert wird. Das vom ersten Speichermodul erzeugte Signal WCLK\_OUT wird vom zweiten Speichermodul 42B als Eingangsschreibtaktssignal WCLK\_IN zwecks Taktung mit Daten empfangen, die vom ersten Speichermodul 42A zum zweiten Speichermodul 42B übertragen werden.

[0042] Auf diese Weise generiert ein Datenpuffer 48 eines gegebenen Speichermoduls 42A, 42B wenigstens drei Taktsignale, und zwar einen Ausgangsschreibtakt WCLK\_OUT, einen Ausgangsslesetakt RCLK\_OUT und einen Modulschreibtakt WCLK\_MDL basierend auf dem Eingangsschreibtaktssignal WCLK\_IN. Ein PLL oder DLL kann beispielsweise dazu verwendet werden, die drei Taktsignale in Reaktion auf das Eingangsschreibtaktssignal WCLK\_IN zu erzeugen. Außerdem empfängt der Datenpuffer 48 ein Modulleseaktssignal RCLK\_MDL vom Speicherbauelement 44 in Reaktion auf das Modulschreibtaktssignal WCLK\_MDL



und empfängt einen Eingangslesetakt RCLK\_IN von einem benachbarten Modul.

[0043] Dementsprechend beinhaltet der Datenpuffer 48 in diesem Beispiel drei Taktdomänen. Die erste Taktdomäne wird durch das von einem benachbarten Speichermodul mit niedrigerer Ordnungszahl oder der Speichersteuerung empfangene Eingangsschreibtakt signal WCLK\_IN bestimmt. Die zweite Taktdomäne wird durch das von den lokalen Speicherbauelementen 44 empfangene Modulleseakt signal WCLK\_MDL bestimmt. Die dritte Taktdomäne wird durch das von einem benachbarten Speichermodul höherer Ordnungszahl empfangene Lesetakt signal RCLK\_IN bestimmt.

[0044] Durch die Maßnahme, dass die Datenleitungen für Datentransfer synchron zu einem gegebenen Takt mit der Leitung für diesen Takt geführt werden, und zwar sowohl auf der die Speichermodule mit der Speichersteuerung verbindenden Hauptplatine als auch für die auf einem gegebenen Modul geführten Datenleitungen, stellt die Erfindung einen geeigneten Takt zur Verfügung, der für alle Daten, die im System übertragen werden, mit den Daten in Phase ist. Mit anderen Worten haben die Daten und der zugehörige Takt denselben Ausbreitungsweg und daher dieselbe Propagationsverzögerung. Dadurch werden die Daten und der Takt von der Empfangseinheit in Phase empfangen, so dass der empfangene Takt dazu verwendet werden kann, die empfangenen Daten mit hoher Präzision abzutasten. Dieses Merkmal steigert die Effizienz und Zuverlässigkeit des Gesamtsystems.

[0045] Im oben angegebenen Beispiel sind die Leitungen, welche die Datensignale DQ zwischen der Speichersteuerung 40 und dem ersten Modul 42A und die Datensignale DQ zwischen dem ersten Modul 42A und dem zweiten Modul 42B tragen, vorzugsweise mit den Leitungen der zugehörigen WCLK- und RCLK-Signale ebenso wie mit den Leitungen der zugehörigen Steuer-/Adresssignale und DFLAG- und RFLAG-Signale geführt. In gleicher Weise sind die Leitungen, welche die Datensignale DQ zwischen dem Datenpuffer 48 und einem gegebenen Speicherbauelement 44 tragen, vorzugsweise mit den Leitungen des zugehörigen Modulschreibtakt signals WCLK\_MDL und des zugehörigen Modulleseakt signals RCLK\_MDL geführt, um zu gewährleisten, dass die Daten und der Takt von der Empfangseinheit synchron zueinander empfangen werden.

[0046] Der Phasenunterschied zwischen der ersten Takt domäne, die auf dem Eingangsschreibtakt signal WCLK\_IN basiert, und der zweiten Takt domäne, die auf dem empfangenen Modulschreibtakt signal WCLK\_MDL basiert, stellt die Umlaufpropagationsverzögerung für das Modulschreibtakt signal WCLK\_MDL und das Modulleseakt signal RCLK\_MDL vom Datenpuffer 48 zum Speicherbauelement 44 dar. Diese Umlaufverzögerung ist durch die physikalische Auslegung des Moduls festgelegt, d. h. durch das Führen der Signale WCLK\_MDL und RCLK\_MDL. Der Datenpuffer kann daher leicht die Daten zu und von jeder Takt domäne über einfache Takt domänenkreuzungs-Schaltungsaufbauten übertragen. Takt domänenkreuzung wird dazu verwendet, vom Speicherbauelement 44 synchron zum Modulleseakt signal RCLK\_MDL empfangene Daten am Datenpuffer 48 zu übertragen, um Lesedaten bereitzustellen, die vom Modul synchron zum Ausgangslesetakt signal RCLK\_OUT zu übertragen sind. Da jedoch die Verzögerung zwischen der dritten und der ersten Takt domäne fixiert ist, ist Domänenkreuzen relativ leicht, und Daten können daher von der Takt domäne RCLK\_MDL zur Takt domäne RCLK\_OUT übertragen werden. Ein weiterer Bedarf an Takt domänenkreuzung im Datenpuffer 48 tritt zwischen der auf dem Eingangslesetakt signal RCLK\_IN basierenden, dritten Takt domäne und dem Ausgangslesetakt signal

RCLK\_OUT der ersten Takt domäne, erzeugt auf der Basis des Eingangsschreibtakt signals WCLK\_IN, zum Transferieren von Daten während eines Lesevorgangs auf. Die Phasendifferenz zwischen dem Eingangslesetakt RCLK\_IN und dem Ausgangslesetakt RCLK\_OUT in einem gegebenen Datenpuffer 48 entspricht der Umlaufverzögerung von einem Modul zu einem benachbarten Modul. Da diese Phasendifferenz konstant bzw. fixiert ist, ist eine solche Kompensation leicht zu handhaben, angenommen die jeweiligen Platzierungen der Module sind so, dass die Module sich in einem festen Abstand befinden.

[0047] Angenommen die Phasendifferenz zwischen zwei Takten differiert vom ersten Modul zum zweiten Modul, dann sollte der Puffer in der Lage sein, diese variable Phasendifferenz zu handhaben, um die Daten zwischen den zwei Takt domänen zu übertragen. Erfindungsgemäß ist jedoch die Phasendifferenz zwischen dem Eingangslesetakt RCLK\_IN und dem Ausgangslesetakt RCLK\_OUT für alle Speichermodule dieselbe. Daher kann der Puffer das Domänenkreuzen leicht handhaben. Dies steht im Gegensatz zu herkömmlichen RAMBUS-Systemen, bei denen die Phasendifferenz zwischen einem Vorwärtstakt CTM und einem Rückwärtstakt CFM in Abhängigkeit von der Position des Speicherbauelementes variiert, so dass die Speicherbauelemente in diesen Systemen einen komplexen Domänenkreuzungs-Schaltungsaufbau erfordern.

[0048] In der Schreibrichtung wird kein Domänenkreuzen benötigt, da der Ausgangsschreibtakt WCLK\_OUT basierend auf dem Eingangsschreibtakt signal WCLK\_IN erzeugt wird und sich diese Signale folglich dieselbe Takt domäne teilen, nämlich die oben angegebene erste Takt domäne.

[0049] Fig. 6 veranschaulicht im Blockschaltbild eine zweite erfindungsgemäße Realisierung, bei welcher das Ausgangslesetakt signal RCLK\_OUT nicht durch ein gegebenes Modul basierend auf dem Eingangsschreibtakt WCLK\_IN generiert wird, wie oben beschrieben. Stattdessen wird das Ausgangslesetakt signal RCLK\_OUT basierend auf dem empfangenen Eingangslesetakt signal RCLK\_IN generiert. Das Eingangslesetakt signal RCLK\_IN wird zuerst durch das Speichermodul mit der höchsten Ordnungszahl empfangen, in diesem Beispiel vom zweiten Speichermodul 42B, wobei es durch einen übergeordneten Lesetaktgenerator 50 erzeugt wird. Das zweite Speichermodul 42B erzeugt ebenso wie das erste Speichermodul 42A ein Ausgangslesetakt signal RCLK\_OUT, das auf dem Eingangslesetakt signal RCLK\_IN basiert, wie oben beschrieben.

[0050] Fig. 7 veranschaulicht im Blockschaltbild einen zugehörigen Lesevorgang, während dem Daten DQ vom zweiten Speichermodul 42B zum ersten Speichermodul 42A und vom ersten Speichermodul 42A zur Speichersteuerung 40 synchron zum Ausgangslesetakt signal RCLK\_OUT übertragen werden, das in Reaktion auf das zugehörige Eingangslesetakt signal RCLK\_IN erzeugt wird. Der Schreibvorgang ist in diesem Ausführungsbeispiel ähnlich demjenigen des oben beschriebenen Beispiels. Da sich der Eingangslesetakt RCLK\_IN und der Ausgangslesetakt RCLK\_OUT dieselbe Phasenbeziehung teilen, wird kein Takt domänenkreuzen für diese beiden Signale benötigt. Die Phasenbeziehung zwischen dem Eingangsschreibtakt signal WCLK\_IN und dem Eingangslesetakt signal RCLK\_IN variiert jedoch abhängig von der Position eines gegebenen Moduls, da das Schreibtakt signal WCLK und das Lesetakt signal RCLK an zwei unterschiedlichen Quellen erzeugt werden und sich in entgegengesetzte Richtungen ausbreiten. Daher ist die Domänenkreuzungsauflösung in dieser Konfiguration sehr kompliziert. Diese Konfiguration ist in ihrem Konzept vergleichbar demjenigen eines RAMBUS-Sy-

stems. Wenn angenommen zehn Speichermodule im System vorliegen, ist die Phasendifferenz zwischen dem Eingangsschreibtakt WCLK\_IN und dem Eingangsetakt RCLK\_IN für jedes Speichermodul unterschiedlich. Die Phasendifferenz des letzten Moduls in der Kette kann z. B. das 10fache derjenigen des ersten Moduls betragen. Die resultierende Phasendifferenz am letzten Modul kann größer als die Taktzyklusdauer sein oder sogar ein Mehrfaches der Taktzyklusdauer betragen. In diesem Fall sollte der Puffer einen Phasendifferenz-Detektionsschaltungsaufbau beinhalten, um Datentransfärsfälle zu vermeiden. Im RAMBUS-Fall wird eine Trainingssequenz bei einer Leistungsanschlusstufe verwendet, um die Phasendifferenz zwischen dem CTM- und dem CFM-Takt zu detektieren.

[0051] Auf diese Weise stellt die Erfindung eine Taktungstechnik in einem Punkt-zu-Punkt-Speichersystem zur Verfügung, durch welche Daten-, Befehls- und Adresssignale zwischen Modulen sowie zwischen einem Modul und einer Speichersteuerung synchron zu geeigneten Taktsignalen übertragen werden, welche dieselbe Propagationsverzögerung wie die Datensignale erfahren. Außerdem ist die Taktungstechnik an jedem Modul dadurch vereinfacht, dass der Ausgangsschreibtakt WCLK\_OUT, der Modulschreibtakt WCL\_MD\_L in Reaktion auf den Eingangsschreibtakt WCLK\_IN und der Modulleseakt RCLK\_MD\_L in Reaktion auf den Modulschreibtakt WCLK\_MD\_L sowie in einem bevorzugten Ausführungsbeispiel der Ausgangsetakt RCLK\_OUT in Reaktion auf den Eingangsschreibtakt WCLK\_IN erzeugt werden.

#### Patentansprüche

1. Speichermodul zur Verwendung in einem Speichersystem, gekennzeichnet durch eine erste Speichermoduleinheit (42a) mit einem Speicherbauelement (44) und einem ersten Puffer (46A), der ein erstes Schreibtaktsignal und ein Steuersignal mit einem Lese- oder Schreibbefehl in einer ersten Übertragungsrichtung empfängt, sowie einem zweiten Puffer (48), der das erste Schreibtaktsignal in der ersten Übertragungsrichtung und ein erstes Lesetaktsignal in einer zweiten Übertragungsrichtung empfängt, wobei der zweite Puffer mit einem ersten Datenbus und einem zweiten Datenbus gekoppelt ist und die erste Speichermoduleinheit ein zweites Schreibtaktsignal in Reaktion auf das erste Schreibtaktsignal zur Datenübertragung vom zweiten Puffer in der ersten Übertragungsrichtung erzeugt, wenn der Schreibbefehl anzeigt, dass Daten in eine zweite Speichermoduleinheit (42B) des Speichersystems zu schreiben sind.
2. Speichermodul nach Anspruch 1, weiter dadurch gekennzeichnet, dass die erste Speichermoduleinheit ein Speicherschreibtaktsignal in Reaktion auf das erste Schreibtaktsignal zum Schreiben von Daten vom zweiten Puffer in das Speicherbauelement erzeugt, wenn der Schreibbefehl anzeigt, dass Daten in das Speicherbauelement der ersten Moduleinheit zu schreiben sind.
3. Speichermodul nach Anspruch 1 oder 2, weiter dadurch gekennzeichnet, dass die erste Moduleinheit (42A) ein Speicherlesetaktsignal in Reaktion auf ein Speicherschreibtaktsignal zum Lesen von Daten vom Speicherbauelement zum zweiten Puffer, wenn der Lesebefehl anzeigt, dass Daten aus dem Speicherbauelement in der ersten Speichermoduleinheit zu lesen sind, wobei das Speicherschreibtaktsignal in Reaktion auf das erste Schreibtaktsignal erzeugt wird.
4. Speichermodul nach einem der Ansprüche 1 bis 3, weiter dadurch gekennzeichnet, dass die erste Spei-

- chermoduleinheit des weiteren ein zweites Lesetaktsignal in Reaktion auf das erste Schreibtaktsignal erzeugt, um Daten vom zweiten Puffer in der ersten Übertragungsrichtung zu übertragen.
5. Speichermodul nach Anspruch 4, weiter dadurch gekennzeichnet, dass die erste Speichermoduleinheit das zweite Lesetaktsignal in Abhängigkeit vom ersten Schreibtaktsignal dann erzeugt, wenn der Lesebefehl anzeigt, dass Daten aus der zweiten Speichermoduleinheit im Speichersystem zu lesen sind.
  6. Speichermodul nach einem der Ansprüche 3 bis 5, weiter dadurch gekennzeichnet, dass das Speicherlesetaktsignal auf einem Übertragungspfad erzeugt wird, der mit einem Übertragungspfad des Speicherschreibtaktsignals gekoppelt ist.
  7. Speichermodul nach Anspruch 6, weiter dadurch gekennzeichnet, dass der Übertragungspfad des Speicherlesetaktsignals und der Übertragungspfad des Speicherschreibtaktsignals im wesentlichen dieselbe Länge wie ein Übertragungspfad für Datensignale zwischen dem Speicherbauelement (44) und dem zweiten Puffer (48) aufweisen.
  8. Speichermodul nach einem der Ansprüche 1 bis 7, weiter dadurch gekennzeichnet, dass das zweite Schreibtaktsignal in Reaktion auf das erste Schreibtaktsignal erzeugt und zum zweiten Puffer der zweiten Speichermoduleinheit übertragen wird.
  9. Speichermodul nach einem der Ansprüche 1 bis 8, weiter dadurch gekennzeichnet, dass der zweite Puffer (48) ein vom ersten Puffer (46A) erzeugtes Decodiersignal empfängt, um festzustellen, ob ein Datenzugriff vom Speicherbauelement auf dem ersten Speichermodul (42A) oder vom Speicherbauelement auf dem zweiten Speichermodul (42B) vorliegt.
  10. Speichermodul zur Verwendung in einem Speichersystem, gekennzeichnet durch eine erste Speichermoduleinheit (42a) mit einem Speicherbauelement (44) und einem Puffer (46A, 48), wobei der Puffer ein erstes Schreibtaktsignal und ein Steuersignal empfängt, das einen Lese- oder Schreibbefehl in einer ersten Übertragungsrichtung beinhaltet, ein erstes Lesetaktsignal in einer zweiten Übertragungsrichtung empfängt und mit einem ersten und einem zweiten Datenbus gekoppelt ist und wobei die erste Speichermoduleinheit ein Speicherschreibtaktsignal in Reaktion auf das erste Schreibtaktsignal zum Schreiben von Daten vom Puffer zum Speicherbauelement erzeugt, wenn der Schreibbefehl anzeigt, dass Daten in das Speicherbauelement der ersten Speichermoduleinheit zu schreiben sind.
  11. Speichermodul nach Anspruch 10, weiter dadurch gekennzeichnet, dass die erste Speichermoduleinheit ein Speicherlesetaktsignal in Reaktion auf das Speicherschreibtaktsignal zum Lesen von Daten vom Speicherbauelement zum Puffer erzeugt, wenn der Lesebefehl anzeigt, dass Daten aus dem Speicherbauelement der ersten Speichermoduleinheit zu lesen sind.
  12. Speichermodul nach einem der Ansprüche 3 bis 9 und 11, weiter dadurch gekennzeichnet, dass das Speicherlesetaktsignal ein Taktsignal ist, das vom Speicherbauelement in Reaktion auf das Speicherschreibtaktsignal zurückgeleitet wird.
  13. Speichermodul nach einem der Ansprüche 3 bis 9, 11 und 12, weiter gekennzeichnet durch eine Dummy>Last (52), die mit einem Übertragungspfad des Speicherlesetaktsignals und des Speicherschreibtaktsignals gekoppelt ist.
  14. Speichermodul nach einem der Ansprüche 3 bis 9

und 11 bis 13, weiter gekennzeichnet durch einen Phasenregelkreis oder Verzögerungsregelkreis (54), der mit einem Übertragungspfad des Speicherlesetaktsignals und des Speicherschreibtaktsignals gekoppelt ist.

15. Speichermodul zur Verwendung in einem Speichersystem, gekennzeichnet durch eine erste Speichermoduleinheit (42a) mit einem Speicherbauelement (44) und einem Puffer (46A, 48), wobei der Puffer ein erstes Schreibtaktsignal und ein Steuersignal empfängt, das einen Lese- oder Schreibbefehl in einer ersten Übertragungsrichtung beinhaltet, ein erstes Lesetaktsignal in einer zweiten Übertragungsrichtung empfängt und mit einem ersten und einem zweiten Datenbus gekoppelt ist, und wobei die erste Speichermoduleinheit ein Speicherlesetaktsignal in Reaktion auf ein Speicherschreibtaktsignal zum Lesen von Daten vom Speicherbauelement zum Puffer erzeugt, wenn der Lesebefehl anzeigt, dass Daten aus dem Speicherbauelement der ersten Speichermoduleinheit zu lesen sind, wobei das Speicherschreibtaktsignal in Reaktion auf das erste Schreibtaktsignal erzeugt wird.

16. Speichermodul nach einem der Ansprüche 10 bis 15, weiter dadurch gekennzeichnet, dass die erste Speichermoduleinheit ein zweites Lesetaktsignal in Reaktion auf das erste Schreibtaktsignal zur Übertragung von Daten vom Puffer in der zweiten Übertragungsrichtung erzeugt, wenn der Lesebefehl anzeigt, dass Daten aus einer zweiten Speichermoduleinheit im Speichersystem zu lesen sind.

17. Speichermodul nach einem der Ansprüche 10 bis 16, weiter dadurch gekennzeichnet, dass der Puffer eine erste Puffereinheit (46A) und eine zweite Puffereinheit (48) umfasst, wobei die zweite Puffereinheit ein von der ersten Puffereinheit erzeugtes Decodiersignal empfängt, um festzustellen, ob ein Datenzugriff vom Speicherbauelement der ersten Speichermoduleinheit oder vom Speicherbauelement der zweiten Speichermoduleinheit vorliegt.

18. Speichermodul nach Anspruch 17, weiter dadurch gekennzeichnet, dass die erste Puffereinheit ein erstes Latenzsignal empfängt und das gepufferte erste Latenzsignal in Reaktion auf das erste Schreibtaktsignal zum Speicherbauelement überträgt.

19. Speichermodul nach Anspruch 18, weiter dadurch gekennzeichnet, dass die erste Puffereinheit ein zweites Latenzsignal in Reaktion auf das erste Latenzsignal erzeugt.

20. Speichermodul zur Verwendung in einem Speichersystem, gekennzeichnet durch eine erste Speichermoduleinheit (42A) mit einem Speicherbauelement (44) und einem Puffer (46A, 48), wobei der Puffer ein erstes Schreibtaktsignal und ein Steuersignal empfängt, das einen Lese- oder Schreibbefehl in einer ersten Übertragungsrichtung beinhaltet, ein erstes Lesetaktsignal in einer zweiten Übertragungsrichtung empfängt und mit einem ersten und einem zweiten Datenbus gekoppelt ist und wobei die erste Speichermoduleinheit ein zweites Lesetaktsignal in Reaktion auf das erste Schreibtaktsignal zur Übertragung von Daten vom Puffer in der zweiten Übertragungsrichtung erzeugt, wenn der Lesebefehl anzeigt, dass Daten aus einer zweiten Speichermoduleinheit im Speichersystem zu lesen sind.

21. Speichermodul nach einem der Ansprüche 10 bis 20, weiter dadurch gekennzeichnet, dass die erste Speichermoduleinheit ein zweites Schreibtaktsignal in Reaktion auf das erste Schreibtaktsignal zur Übertragung von Daten vom Puffer in der ersten Übertragungsrichtung erzeugt, wenn der Schreibbefehl anzeigt, dass Daten in eine zweite Speichermoduleinheit des Speichersystems zu schreiben sind.

22. Speichermodul nach einem der Ansprüche 8, 9, 16 bis 19 und 21, weiter dadurch gekennzeichnet, dass das zweite Schreibtaktsignal durch einen Phasenregelkreis oder einen Verzögerungsregelkreis für das erste Speichermodul in Reaktion auf das erste Schreibtaktsignal erzeugt wird.

23. Speichermodul nach einem der Ansprüche 15 bis 22, weiter dadurch gekennzeichnet, dass die erste Speichermoduleinheit ein Speicherschreibtaktsignal in Reaktion auf das erste Schreibtaktsignal zum Schreiben von Daten vom Puffer in das Speicherbauelement erzeugt, wenn der Schreibbefehl anzeigt, dass Daten in das Speicherbauelement der ersten Speichermoduleinheit zu schreiben sind.

24. Speichermodul nach einem der Ansprüche 20 bis 23, weiter dadurch gekennzeichnet, dass die erste Speichermoduleinheit ein Speicherlesetaktsignal in Reaktion auf ein Speicherschreibtaktsignal zum Lesen von Daten vom Speicherbauelement zum Puffer erzeugt, wenn der Lesebefehl anzeigt, dass Daten aus dem Speicherbauelement der ersten Speichermoduleinheit zu lesen sind, wobei das Speicherschreibtaktsignal in Reaktion auf das erste Schreibtaktsignal erzeugt wird.

25. Speichersystem, gekennzeichnet durch eine Speichersteuerung (40) zur Erzeugung eines ersten Schreibtaktsignals und eines Steuersignals, das einen Lesebefehl oder einen Schreibbefehl beinhaltet, und eine erste Speichermoduleinheit (42A) mit einem Speicherbauelement (44) und einem Puffer (46A, 48), der das erste Schreibtaktsignal und das Steuersignal in einer ersten Übertragungsrichtung empfängt, ein erstes Lesetaktsignal in einer zweiten Übertragungsrichtung empfängt und mit einem ersten und zweiten Datenbus gekoppelt ist, wobei die erste Speichermoduleinheit ein zweites Schreibtaktsignal in Reaktion auf das erste Schreibtaktsignal zur Übertragung von Daten vom Puffer in der ersten Übertragungsrichtung, wenn der Schreibbefehl anzeigt, dass Daten in eine Speichermoduleinheit des Speichersystems zu schreiben sind, ein Speicherschreibtaktsignal in Reaktion auf das erste Schreibtaktsignal zum Schreiben von Daten aus dem Puffer in das Speicherbauelement, wenn der Schreibbefehl anzeigt, dass Daten in das Speicherbauelement der ersten Speichermoduleinheit zu schreiben sind, und ein Speicherlesetaktsignal in Reaktion auf das Speicherschreibtaktsignal zum Lesen von Daten vom Speicherbauelement zum Puffer erzeugt, wenn der Lesebefehl anzeigt, dass Daten aus dem Speicherbauelement der ersten Speichermoduleinheit zu lesen sind.

26. Speichersystem nach Anspruch 25, weiter dadurch gekennzeichnet, dass ein Lesetaktgenerator zur Erzeugung des ersten Lesetaktsignals vorgesehen ist und die erste Speichermoduleinheit ein zweites Lesetaktsignal in Reaktion auf das erste Lesetaktsignal zur Übertragung von Daten vom Puffer in der zweiten Übertragungsrichtung erzeugt.

27. Verfahren zur Taktsignalerzeugung in einem Speichersystem, gekennzeichnet durch folgende Schritte:

- Empfangen eines ersten Schreibtaktsignals und eines Steuersignals, das einen Lese- oder Schreibbefehl beinhaltet, in einer ersten Übertragungsrichtung durch einen ersten Puffer (46A) ei-



- ner ersten Speichermoduleinheit (42A) mit einem Speicherbauelement (44),
- Empfangen des ersten Schreibtaktsignals in der ersten Übertragungsrichtung und eines ersten Lesetaktsignals in einer zweiten Übertragungsrichtung durch einen zweiten Puffer (48) der ersten Speichermoduleinheit, der mit einem ersten Datenbus und einem zweiten Datenbus gekoppelt ist, und
  - Erzeugen eines zweiten Schreibtaktsignals in Reaktion auf das erste Schreibtaktsignal zur Übertragung von Daten vom zweiten Puffer in der ersten Übertragungsrichtung, wenn der Schreibbefehl anzeigt, dass Daten in eine zweite Speichermoduleinheit des Speichersystems zu schreiben sind.
28. Verfahren nach Anspruch 27, weiter gekennzeichnet durch folgende Schritte:
- Erzeugen eines Speicherschreibtaktsignals in Reaktion auf das erste Schreibtaktsignal zum Schreiben von Daten vom zweiten Puffer in das Speicherbauelement, wenn der Schreibbefehl anzeigt, dass Daten in das Speicherbauelement der ersten Speichermoduleinheit zu schreiben sind, und
  - Erzeugen eines Speicherlesetaktsignals in Reaktion auf das Speicherschreibtaktsignal zum Lesen von Daten vom Speicherbauelement zum zweiten Puffer, wenn der Lesebefehl anzeigt, dass Daten aus dem Speicherbauelement der ersten Speichermoduleinheit zu lesen sind.
29. Verfahren zur Taktsignalerzeugung in einem Speichersystem, gekennzeichnet durch folgende Schritte:
- Empfangen eines ersten Schreibtaktsignals und eines Steuersignals, das einen Lese- oder Schreibbefehl beinhaltet, in einer ersten Übertragungsrichtung durch einen Puffer (46A, 48) einer ersten Speichermoduleinheit (42A) mit einem Speicherbauelement (44), wobei der Puffer mit einem ersten Datenbus und einem zweiten Datenbus gekoppelt ist,
  - Empfangen eines ersten Lesetaktsignals in einer zweiten Übertragungsrichtung und
  - Erzeugen eines Speicherschreibtaktsignals in Reaktion auf das erste Schreibtaktsignal zum Schreiben von Daten aus dem Puffer in das Speicherbauelement, wenn der Lesebefehl anzeigt, dass Daten in das Speicherbauelement der ersten Speichermoduleinheit zu schreiben sind.
30. Verfahren zur Taktsignalerzeugung in einem Speichersystem, gekennzeichnet durch folgende Schritte:
- Empfangen eines ersten Schreibtaktsignals und eines Steuersignals, das einen Lese- oder Schreibbefehl beinhaltet, in einer ersten Übertragungsrichtung durch einen Puffer (46A, 48) einer ersten Speichermoduleinheit (42A) mit einem Speicherbauelement (44), wobei der Puffer mit einem ersten Datenbus und einem zweiten Datenbus gekoppelt ist,
  - Empfangen eines ersten Lesetaktsignals in einer zweiten Übertragungsrichtung,
  - Erzeugen eines Speicherschreibtaktsignals in Reaktion auf das erste Schreibtaktsignal und
  - Erzeugen eines Speicherlesetaktsignals in Reaktion auf das Speicherschreibtaktsignal zum Lesen von Daten vom Speicherbauelement zum Puffer, wenn der Lesebefehl anzeigt, dass Daten aus dem Speicherbauelement der ersten Speicher-

moduleinheit zu lesen sind.

31. Verfahren zur Taktsignalerzeugung in einem Speichersystem, gekennzeichnet durch folgende Schritte:

- Empfangen eines ersten Schreibtaktsignals und eines Steuersignals, das einen Lese- oder Schreibbefehl beinhaltet, in einer ersten Übertragungsrichtung durch einen Puffer (46A, 48) einer ersten Speichermoduleinheit (42A) mit einem Speicherbauelement (44), wobei der Puffer mit einem ersten Datenbus und einem zweiten Datenbus gekoppelt ist,

Empfangen eines ersten Lesetaktsignals in einer zweiten Übertragungsrichtung und

- Erzeugen eines zweiten Lesetaktsignals in Reaktion auf das erste Schreibtaktsignal zur Übertragung von Daten vom Puffer in der zweiten Übertragungsrichtung, wenn der Lesebefehl anzeigt, dass Daten aus einer zweiten Speichermoduleinheit des Speichersystems zu lesen sind.

---

Hierzu 9 Seite(n) Zeichnungen

---

FIG. 1

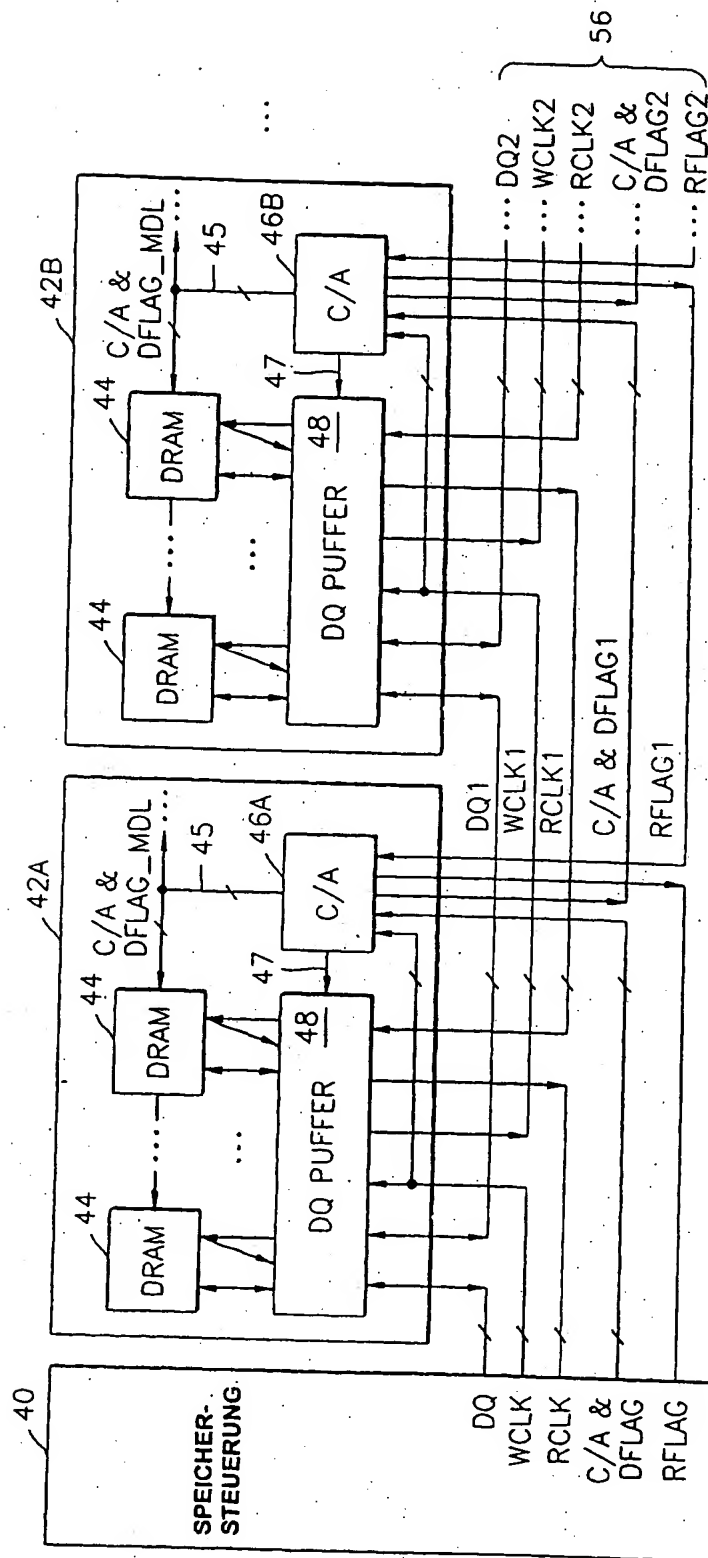




FIG. 3

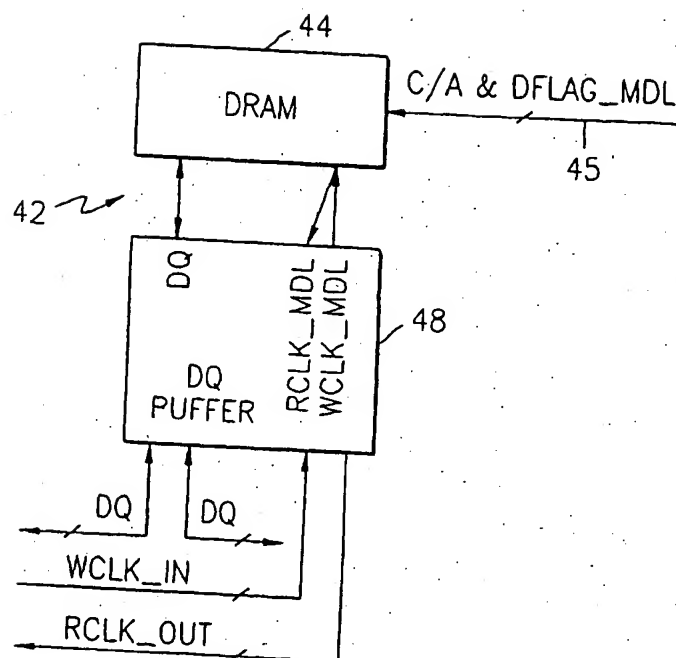


FIG. 4

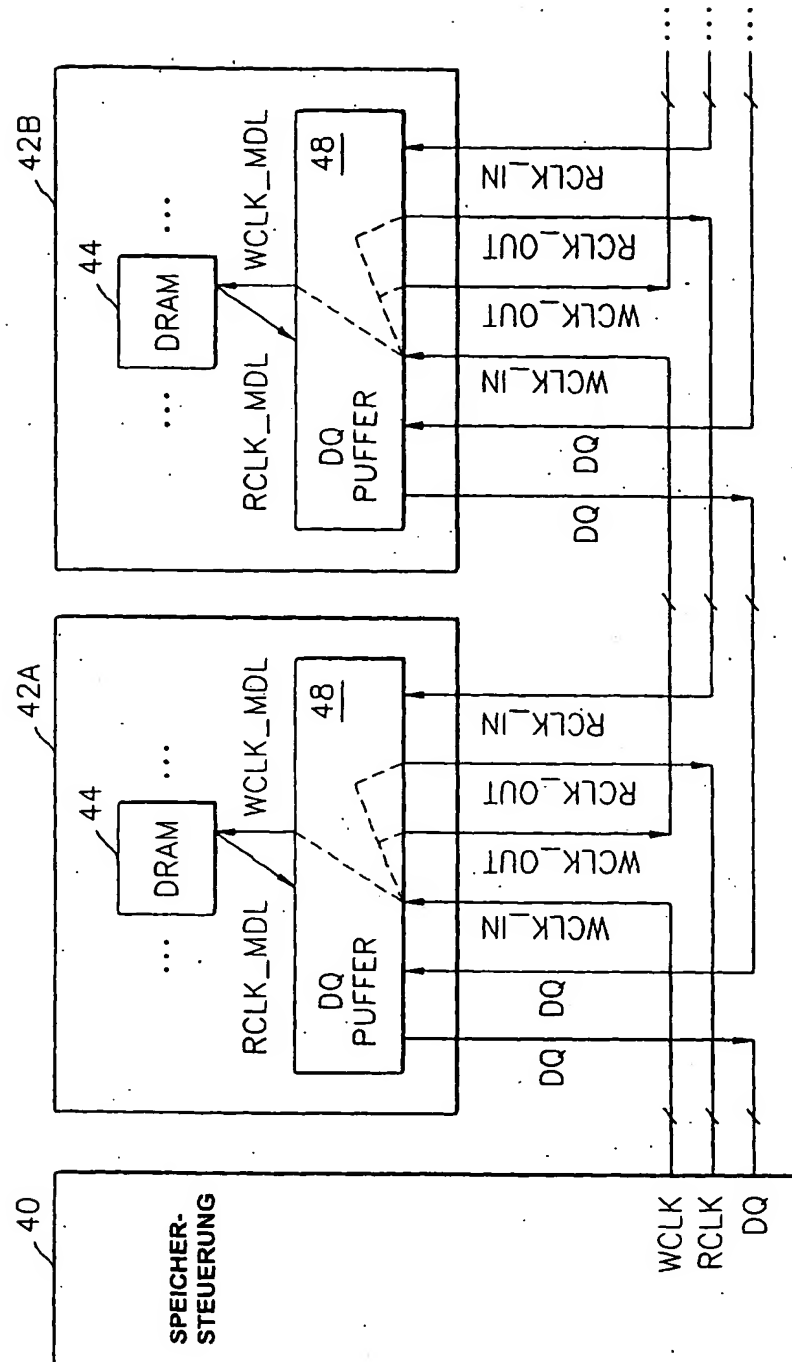




FIG. 5

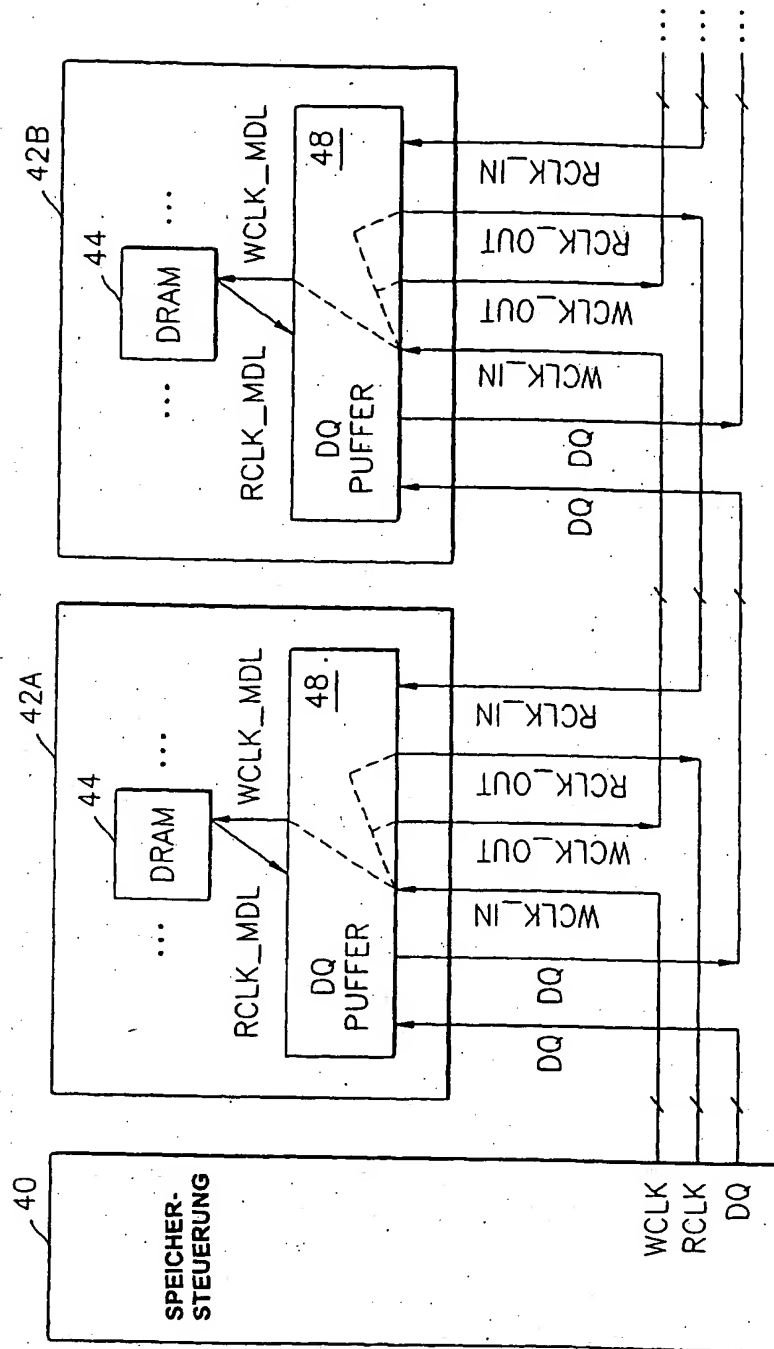


FIG. 6

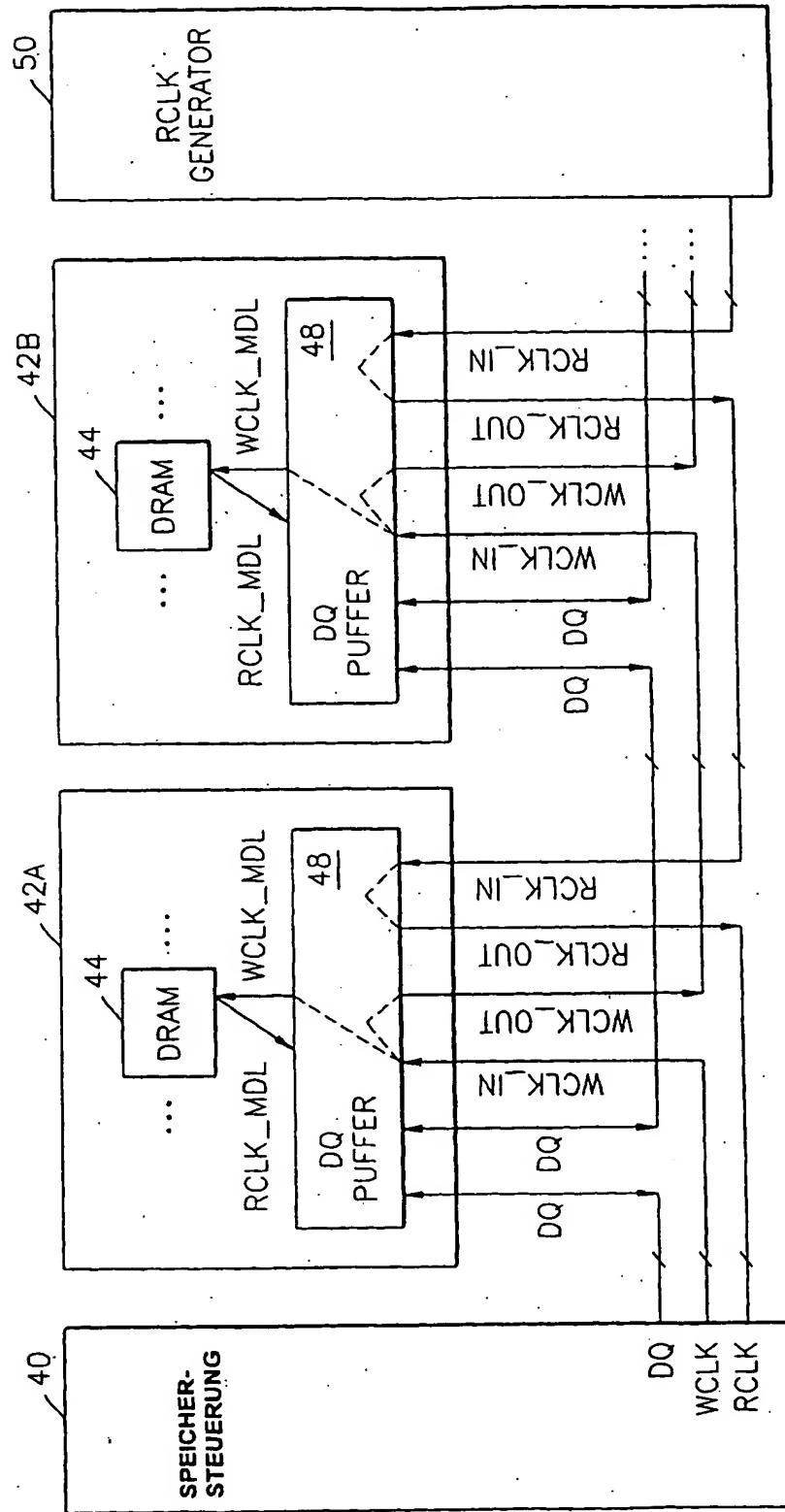


FIG. 7

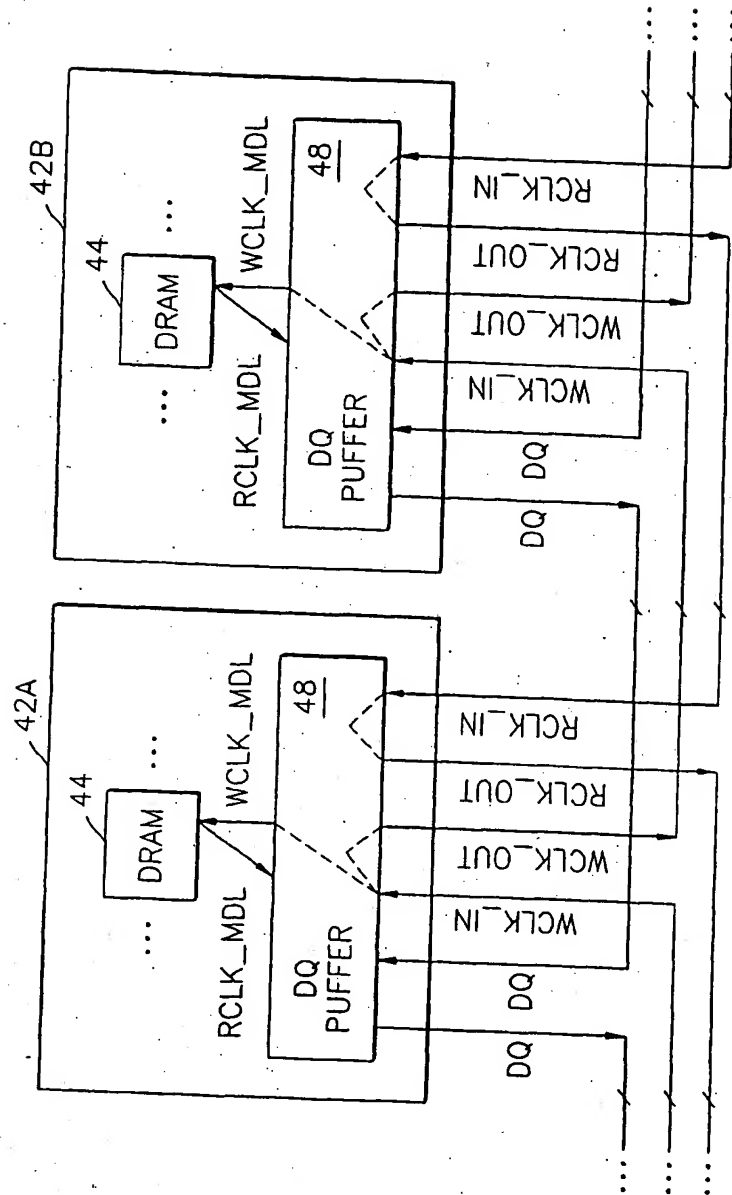




FIG. 9

